

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-346500

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

G11C 29/00

G01R 31/28

G06F 12/16

(21)Application number : 2002-155107

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 29.05.2002

(72)Inventor : TAKAZAWA YOSHIO

YAMADA TOSHIO

YANAGISAWA KAZUMASA

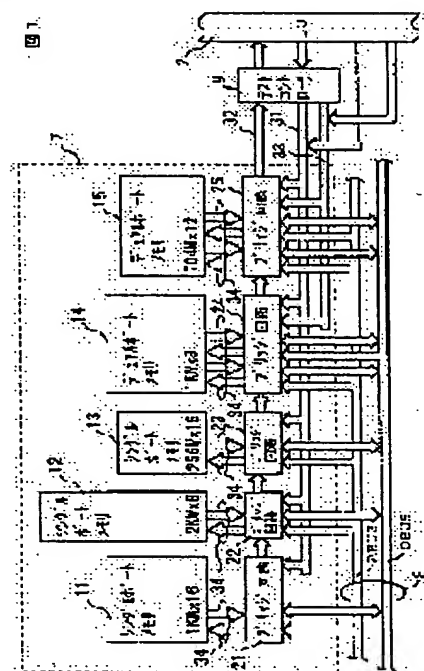
HAYASAKA TAKASHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS TEST METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit wherein a memory test efficiency on a plurality of on-chip memories by using a march pattern or the like is enhanced.

**SOLUTION:** The semiconductor integrated circuit is provided with a plurality of bridge circuits (21 to 25) that convert test data information from a common test bus (31) connected to a plurality of memories (11 to 15) the access data width and the address decode logic of which differ from each other into access data width unique to each memory, convert test address information from the common test bus into a bit arrangement unique to each memory, and supply the result to each corresponding memory. It is possible to test a plurality of the memories in parallel by supplying the test address information from the common test bus to a plurality of the memories in parallel. It is possible to unify address scanning directions of the respective memories with respect to the test address information in a particular direction according to the bit arrangement unique to each memory by supplying the test data information to a plurality of the memories with the different access data widths in parallel.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-346500

(P2003-346500A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	特許出願公開番号
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 L 2 G 1 3 2
G 0 1 R 31/28		G 0 6 F 12/16	6 7 5 D 5 B 0 1 8
G 0 6 F 12/16	3 3 0	G 0 1 R 31/28	3 3 0 A 5 L 1 0 6
			B
			V

審査請求 未請求 請求項の数14 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2002-155107(P2002-155107)

(22) 出願日 平成14年5月29日 (2002.5.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 高沢 義生

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

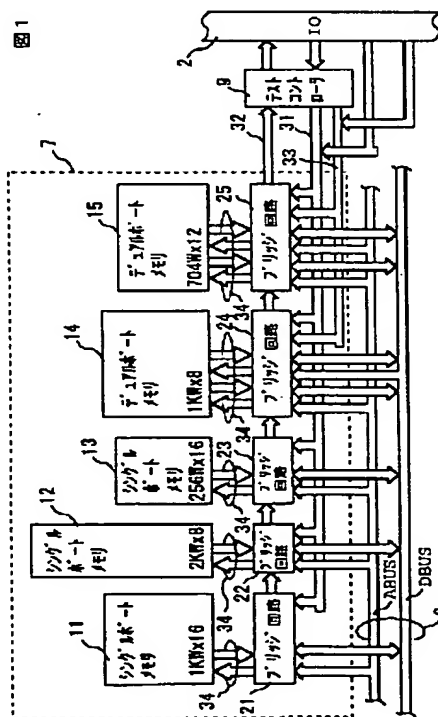
最終頁に続く

(54) 【発明の名称】 半導体集積回路及びそのテスト方法

## (57) 【要約】

【課題】 複数のオンチップメモリに対するマージパターンなどによるメモリテスト効率を向上させる。

【解決手段】 アクセスデータ幅及びアドレスデコード論理の異なる複数のメモリ (11～15) に接続される共通テストバス (31) からのテストデータ情報を各メモリに固有のアクセスデータ幅に変換すると共に、共通テストバスからのテストアドレス情報を各メモリに固有のビット配列に変換して、対応メモリに供給する複数のブリッジ回路 (21～25) を設ける。複数のメモリに共通テストバスから並列にテストアドレス情報を供給して並列テスト可能になる。アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給することができ、テストアドレス情報に対する夫々のメモリにおけるアドレススキャン方向を固有のビット配列にしたがって特定方向に統一することが可能になる。



## 【特許請求の範囲】

【請求項 1】 アクセスデータ幅の異なる複数のメモリ及び前記メモリをアクセス制御可能な論理回路を含む半導体集積回路において、前記複数のメモリに接続される共通テストバスと、前記共通テストバスからのテストデータ情報を各メモリに固有のアクセスデータ幅に変換して対応するメモリに供給する複数のブリッジ回路を設け、複数のメモリに共通テストバスから並列にテストデータ情報を供給して並列テスト可能にされて成るものであることを特徴とする半導体集積回路。

【請求項 2】 アドレスデコード論理の異なる複数のメモリ及び前記メモリをアクセス制御可能な論理回路を含む半導体集積回路において、前記複数のメモリに接続される共通テストバスと、前記共通テストバスからのテストアドレス情報を各メモリに固有のビット配列に変換して対応するメモリに供給する複数のブリッジ回路を設け、複数のメモリに共通テストバスから並列にテストアドレス情報を供給して並列テスト可能にされて成るものであることを特徴とする半導体集積回路。

【請求項 3】 アクセスデータ幅の異なる複数のメモリ及び前記メモリをアクセス制御可能な論理回路を含む半導体集積回路において、前記複数のメモリに接続される共通テストバスと、前記共通テストバスからのテストデータ情報を各メモリに固有のアクセスデータ幅に変換して対応するメモリに供給し、また、前記共通テストバスからのテストアドレス情報を各メモリに固有のビット配列に変換して対応するメモリに供給する複数のブリッジ回路を設け、複数のメモリに共通テストバスから並列にテストデータ情報及びテストアドレス情報を供給して並列テスト可能にされて成るものであることを特徴とする半導体集積回路。

【請求項 4】 前記ブリッジ回路は、変換可能なビット配列をテスト制御情報に従って選択可能であることを特徴とする請求項 2 又は 3 記載の半導体集積回路。

【請求項 5】 前記ブリッジ回路はメモリからの読み出し情報と共通テストバスからの期待値情報とを比較する比較手段と、前記比較手段による比較結果に従ってメモリの不良情報を保持するラッチ手段を有して成るものであることを特徴とする請求項 2 又は 3 記載の半導体集積回路。

【請求項 6】 前記ラッチ手段は、不良アドレスをラッチするアドレスラッチ手段と、不良の比較結果をラッチする不良フラグ手段とから成るものであることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 前記ブリッジ回路は、前記ラッチ手段の出力を入力して直列的に出力可能とするスキャンパス用のシフトレジスタ手段を有して成るものであることを特徴とする請求項 5 又は 6 記載の半導体集積回路。

【請求項 8】 前記ブリッジ回路は、メモリからの読み出し情報と共通テストバスからの期待値情報とを比較す

る比較手段と、前記比較手段による比較結果に別のブリッジ回路からの比較結果出力との論理和を採り更に別のブリッジ回路に出力するゲート手段とを有し、複数のゲート手段は、前段ゲート手段の出力が次段ゲート手段の入力に接続する直列形態に接続されて成るものであることを特徴とする請求項 2 又は 3 記載の半導体集積回路。

【請求項 9】 前記複数のメモリの少なくとも一つはマルチポートメモリであり、前記マルチポートメモリに対応されるブリッジ回路は、前記共通テストバスに接続するポートの選択と、前記共通テストバスに非接続が選択されたポートにディスタート情報を入力可能とすることが可能であることを特徴とする請求項 2 又は 3 記載の半導体集積回路。

【請求項 10】 アクセスデータ幅の異なる複数のメモリを共通テストバスを介して並列にテストするテスト方法であって、テストデータ情報を前記共通テストバスに供給する処理と、前記共通テストバスからテストデータ情報を入力して対応するメモリに固有のアクセスデータ幅に変換する処理と、変換されたテストデータ情報を対応するメモリに並列に書き込む処理と、書き込まれたテストデータ情報を複数のメモリから読み出す処理と、読み出されたテストデータ情報と期待値情報とをメモリ単位で比較してメモリエラー情報を生成する処理と、を含むことを特徴とするテスト方法。

【請求項 11】 アドレスデコード論理の異なる複数のメモリを共通テストバスを介して並列にテストするテスト方法であって、テストアドレス情報を前記共通テストバスに供給する処理と、前記共通テストバスからテストアドレス情報を入力して対応するメモリに固有のビット配列に変換する処理と、変換されたテストアドレス情報を用いて対応するメモリにテストデータを系列に書き込む処理と、書き込まれたテストデータを複数のメモリから読み出す処理と、読み出されたテストデータと期待値情報とをメモリ単位で比較してメモリエラー情報を生成する処理と、を含むことを特徴とするテスト方法。

【請求項 12】 複数のメモリの夫々について生成されたメモリエラー情報をラッチし、ラッチした複数のメモリのエラー情報をスキャンパスを用いて直列的に読み込む処理を更に含むことを特徴とする請求項 11 又は 12 記載のテスト方法。

【請求項 13】 複数のメモリの夫々について生成されたメモリエラー情報に対し先頭のメモリより順次次段のメモリのエラー情報と論理和を採って後段に伝達する処理を更に含むことを特徴とする請求項 11 又は 12 記載のテスト方法。

【請求項 14】 前記複数のメモリの少なくとも一つはマルチポートメモリであり、前記マルチポートメモリに対し、前記共通テストバスに接続するポートとは別のポートにディスタート情報を入力することを特徴とする請求項 12 又は 13 記載のテスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクセスデータ幅やアドレスデコード論理の相違する複数のメモリに対するテスト技術に関し、例えばそのようなメモリを複数個オンチップで備えるマイクロコンピュータもしくは所謂システムLSIのような半導体集積回路に適用して有効な技術に関する。

## 【0002】

【従来の技術】マイクロコンピュータやシステムLSIなどの半導体集積回路にオンチップされた複数のメモリに対するテスト技術について記載された文献として、特開2000-111618、特開平11-250698がある。それら文献では、オンチップメモリの前段でテストデータのビット拡張を行なっている。

【0003】また、メモリテストでは、ランダムアクセスなどを保証するために、メモリセル間干渉、ワード線ディスターブ、ビット線ディスターブによる影響を考慮することが必要であり、全ての場合を検証しようとする膨大なテスト時間を要し、現実的ではない。そこで、効率的に検証を行なう為の手法としてマーチパターンやウォーキングパターン等の手法が従来から採用されている。この種の検証手法では、メモリセルアレイに対してアクセス単位のメモリセルを行方向に順次選択しながらデータを所定値に書き換えていったり、列方向に順次選択しながらデータを所定値に書き換えていったりするという、メモリセルの物理的な配置に対してメモリセルの選択方向を所定の規則にしたがって変化させることが必要になる。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来技術では、アクセスデータ幅の異なる複数のメモリに対して並列に固有のアクセスデータ幅に変換することは考慮されていない。

【0005】また、従来は、アドレスデコード論理の異なる複数のメモリがオンチップされている場合、それらに対して共通にアドレスを入力しても、アドレスデコード論理の相違により、換言すれば、メモリアドレス空間におけるメモリセルの物理的なマッピングの相違により、アドレスインクリメントによってメモリセルの選択を列方向或は行方向に統一して順次更新することができない。このため、オンチップメモリ毎に固有のアドレスマッピングに応じたアドレス更新を行ないながらマーチパターンなどの手法によるメモリテストを行なわなければならなかった。これにより、オンチップメモリのテスト時間が増大するという問題があった。アクセスデータ幅の異なる複数のメモリ間においても同様の問題がある。

【0006】本発明の目的は、複数のメモリに対するテスト時間を短縮することができる半導体集積回路を提供

することにある。

【0007】本発明の別の目的は、複数のメモリに対するテスト時間を短縮することが可能なテスト方法を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】〔1〕アクセスデータ幅の異なる複数のメモリ及び前記メモリをアクセス制御可能な論理回路を含む半導体集積回路において、前記複数のメモリに接続される共通テストバスと、前記共通テストバスからのテストデータ情報を各メモリに固有のアクセスデータ幅に変換して対応するメモリに供給する複数のブリッジ回路を設け、複数のメモリに共通テストバスから並列にテストデータ情報を供給して並列テスト可能にする。

【0011】上記手段によれば、アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給しても、ブリッジ回路がテストデータ情報を対応メモリに固有のアクセスデータ幅に変換することができる。アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給することができるという点において、オンチップメモリのテスト効率を向上させることができる。

【0012】アドレスデコード論理の異なる複数のメモリ及び前記メモリをアクセス制御可能な論理回路を含む半導体集積回路において、前記複数のメモリに接続される共通テストバスと、前記共通テストバスからのテストアドレス情報を各メモリに固有のビット配列に変換して対応するメモリに供給する複数のブリッジ回路を設け、複数のメモリに共通テストバスから並列にテストアドレス情報を供給して並列テスト可能にする。

【0013】上記手段によれば、アドレスデコード論理の異なる複数のメモリに対してテストアドレス情報を並列に供給しても、ブリッジ回路がテストアドレス情報を対応メモリに固有のビット配列に変換する。テストアドレス情報に対する夫々のメモリにおけるアドレススキャン方向を固有のビット配列にしたがって特定方向に統一することが可能になる。この点において複数のオンチップメモリに対するマーチパターンなどによるメモリテスト効率を向上させることができる。

【0014】上記テストデータ情報に対するブリッジ回路及びテストアドレス情報に対するブリッジ回路の双方を採用することも可能である。

【0015】〔2〕本発明の望ましい一つの形態として、前記ブリッジ回路は、変換可能なビット配列をテスト制御情報に従って選択可能としてよい。マーチパター

ンなどによるアドレススキャン方向は少なくとも行方向及び列方向の双方とする場合が一般的であり、その何れにも簡単に対応できるようになる。

【0016】本発明の望ましい一つの形態として、前記ブリッジ回路はメモリからの読み出し情報と共通テストバスからの期待値情報とを比較する比較手段と、前記比較手段による比較結果に従ってメモリの不良情報を保持するラッチ手段を有するのがよい。複数のメモリに対する並列テスト結果をラッチ手段から順次直列的に得ることが可能になる。

【0017】前記ラッチ手段は、不良アドレスをラッチするアドレスラッチ手段と、不良の比較結果をラッチする不良フラグ手段とから構成して良い。不良発生のあるも明らかになる。

【0018】前記ブリッジ回路は、前記ラッチ手段の出力を入力して直列的に出力可能とするスキャンバス用のシフトレジスタ手段を有してよい。並列テスト結果をラッチ手段から順次直列に得ることが容易になる。

【0019】〔3〕本発明の望ましい一つの形態として、前記ブリッジ回路は、メモリからの読み出し情報と共通テストバスからの期待値情報とを比較する比較手段と、前記比較手段による比較結果に別のブリッジ回路からの比較結果出力との論理和を採り更に別のブリッジ回路に出力するゲート手段とを有し、複数のゲート手段を、前段ゲート手段の出力が次段ゲート手段の入力に接続するように直列形態に接続して構成するとよい。

【0020】上記手段によれば、複数のメモリに対しテストデータ情報を更新しながらテストアドレス情報を更新して、アドレススキャンを伴う並列テストを逐次進めていく途上で、比較不一致によるエラーを何れかのメモリで生ずると、最終段ゲート手段の出力が変化する。この最終段出力をモニタすることにより、複数メモリに対する並列テストを行いながら、テストの継続／中止の判定（Go / No go判定）を行なうことができる。

【0021】〔4〕本発明の望ましい一つの形態として、前記複数のメモリの少なくとも一つはマルチポートメモリであり、前記マルチポートメモリに対応されるブリッジ回路は、前記共通テストバスに接続するポートの選択と、前記共通テストバスに非接続が選択されたポートにディスタブ情報を入力可能とするのがよい。ディスタブ情報は任意のパターンデータであってよい。これにより、マルチポートを持つ場合にはポート間干渉のテストを併用でき、マルチポートメモリに対するテストの信頼性を向上させることができる。

【0022】〔5〕アクセスデータ幅の異なる複数のメモリを共通テストバスを介して並列にテストするテスト方法は、テストデータ情報を前記共通テストバスに供給する処理と、前記共通テストバスからテストデータ情報を入力して対応するメモリに固有のアクセスデータ幅に変換する処理と、変換されたテストデータ情報を対応す

るメモリに並列に書き込む処理と、書き込まれたテストデータ情報を複数のメモリから読み出す処理と、読み出されたテストデータ情報と期待値情報とをメモリ単位で比較してメモリエラー情報を生成する処理と、を含む。

【0023】このテスト方法によれば、アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給しても、テストデータ情報を対応メモリに固有のアクセスデータ幅に変換することができる。アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給することができるという点において、アクセスデータ幅の異なる複数のメモリに対するテスト効率を向上させることができる。

【0024】アドレスデコード論理の異なる複数のメモリを共通テストバスを介して並列にテストするテスト方法は、テストアドレス情報を前記共通テストバスに供給する処理と、前記共通テストバスからテストアドレス情報を入力して対応するメモリに固有のビット配列に変換する処理と、変換されたテストアドレス情報を用いて対応するメモリにテストデータを系列に書き込む処理と、書き込まれたテストデータを複数のメモリから読み出す処理と、読み出されたテストデータと期待値情報とをメモリ単位で比較してメモリエラー情報を生成する処理と、を含む。

【0025】上記テスト方法によれば、アドレスデコード論理の異なる複数のメモリに対してテストアドレス情報を並列に供給しても、テストアドレス情報を対応メモリに固有のビット配列に変換することができる。したがって、テストアドレス情報に対する夫々のメモリにおけるアドレススキャン方向を固有のビット配列にしたがって特定方向に統一することが可能になる。この点においてアドレスデコード論理の異なる複数のメモリに対するマーチパターンなどによるメモリテスト効率を向上させることができる。

【0026】

【発明の実施の形態】図2には本発明に係る半導体集積回路の一例であるマイクロコンピュータの平面的な構成が例示される。同図に示されるマイクロコンピュータは例えば単結晶シリコンのような1個の半導体基板にCMOS集積回路製造技術によって形成される。

【0027】マイクロコンピュータ1は、半導体基板の周囲に入出力回路（IO）2を有し、その内側に、マイクロプロセッサ（MPU）3、第1ロジック回路（LOG1）4、第2ロジック回路（LOG2）5、第3ロジック回路（LOG3）6及びメモリブロック7を有し、それら回路ブロックは内部バス8に共通接続される。マイクロコンピュータはその他にテスト用回路として代表的に示されたテストコントローラ9を備える。内部バス8はアドレス、データ及び制御信号を伝播する。前記ロジック回路3～5は、特に制限されないが、MPU3のアクセラレータとして位置付けられる誤り訂正回路、A

TAPIなどのインタフェースコントローラ、符号化復号論理などとされる。

【0028】図1にはメモリブロック7の詳細が例示される。メモリブロック7は3個のシングルポートメモリ11～13と2個のデュアルポートメモリ14、15を有する。メモリ11は1KW(キロ・ワード)×16ビットの記憶容量を有しアクセスデータ幅は16ビットである。メモリ12は2KW×8ビットの記憶容量を有しアクセスデータ幅は8ビットである。メモリ13は256W×16ビットの記憶容量を有しアクセスデータ幅は16ビットである。メモリ14は1KW×8ビットの記憶容量を有しアクセスデータ幅は8ビットである。メモリ15は704W×12ビットの記憶容量を有しアクセスデータ幅は12ビットである。

【0029】前記シングルポートメモリ11、12、13は、特に制限されないが、SRAM(Static Random Access Memory)から成り、図示は省略するが、スタティックラッチ形態のメモリセルがマトリクス配置されたメモリセルアレイ、メモリセルの選択端子が接続されるワード線を駆動するワードドライバ、ワードドライバで駆動するワード線を選択するロウデコーダ、メモリセルのデータ入出力端子が接続されたビット線を選択的に共通データ線に接続するカラムスイッチ回路、カラムスイッチ回路の選択信号を生成するカラムデコーダ、メモリセルから共通データ線に読み出された記憶情報を検出して増幅するセンスアンプ、共通データ線に対する書き込みデータの入力及びセンスアンプで検出された読み出しデータの出力を行なうデータ入出力バッファ、前記ロウデコーダ及びカラムデコーダに供給するアドレス信号を受けるアドレスバッファ、及びメモリ選択信号やリード・ライト信号などのアクセス制御信号を受けてメモリ動作を制御するタイミングコントローラを有する。

【0030】前記デュアルポートメモリ14、15は、メモリセル毎に、一方のアクセスポート用のワード線及びビット線と、他方のポート用のワード線及びビット線を有し、シングルポートメモリにおけるワード線選択系及びカラム選択選択系をポート毎に備える。

【0031】前記メモリ11～15は夫々アドレスデコード論理が相違される。例えば図3にはメモリ13のデコード論理とメモリ11のデコード論理が例示される。メモリ13のデコード論理は図3から明らかなように、アドレスa[0]～a[7]を+1ずつインクリメントするとワード番号は0から順番に255まで昇順で変化するようになり、X方向スキャンとなる。一方、メモリ11のデコード論理はアドレスa[0]～a[9]を+1ずつインクリメントするとアドレッシングされるメモリセルのスキャン方向はY方向に最初動き、a[2]より上位側の変化でX方向スキャンになる。

【0032】図1に例示される如く、夫々のメモリ11～15は対応するブリッジ回路21～25を介して前記

内部バス8に接続する。ブリッジ回路21～25はテストコントローラ9と共にテスト用の回路、即ちBIST(Built In Self Test)回路を構成する。ブリッジ回路21～25は共通テストバス31を介してテストコントローラ9からテストデータ情報、テストアドレス情報及びテスト制御情報等が与えられて、その動作が制御される。ブリッジ回路21～25は前記共通テストバス31からのテストデータ情報を各メモリ11～15に固有のアクセスデータ幅に変換して対応するメモリ11～15に供給し、また、前記共通テストバス31からのテストアドレス情報を各メモリ11～15に固有のビット配列に変換して対応するメモリ11～15に供給する。ブリッジ回路21～25によるアクセスデータ幅の変更とテストアドレス情報のビット配列変更により、複数のメモリ11～15は揃ってX方向スキャンなどを行なうメモリテストを並列に行なうことが可能にされる。ブリッジ回路21～25は状態送受信信用信号線32を介して直列に接続され、メモリ11～15の並列テストの結果は状態送受信信用信号線32を伝播してテストコントローラ9に供給される。

【0033】デュアルポートメモリ14、15に対応付けされたブリッジ回路24、25にはデュアルポート共通テストバス33が接続され、共通テストバス31を介してデュアルポートメモリ14、15がテストされるとき、テスト非対象ポートにデュアルポート共通テストバス33を介してテスト対象ポートに対するディスタープ情報を与えたりすることが可能にされる。

【0034】尚、図1において内部バス8としてアドレスバスABUSとデータバスDBUSが代表的に例示される。メモリ11～15とブリッジ回路21～25は夫々専用の信号線群(メモリ・ブリッジ間バス)34にて接続される。

【0035】図4にはシングルポートメモリ用のブリッジ回路21(22、23)に基本的構成が例示される。メモリテスト時に利用する共通テストバス31からの入力信号(図に示される■の端子からの入力信号)は以下の通りである。すなわち、teは通常動作時入力とテスト時入力の切替えを行なう切換え信号、t\_resbはメモリリセット信号、t\_weは書き込み制御信号、t\_bsはモジュール選択信号である。t\_ckはクロック信号、t\_dは4ビットに圧縮したテストデータ入力信号(テストデータ情報)、t\_aはアドレス信号(テストアドレス情報)である。br\_smはアドレススキャン方式を選択する信号、br\_refはメモリ出力を判定するための期待値入力信号、br\_enはブリッジの判定を行うかを制御する信号、br\_resbはブリッジ回路のリセット信号、br\_sckはスキャンクロック入力信号である。

【0036】前記状態送受信信用信号線32からの入出力信号(図に二重の□で示される端子からの入出力信号)

は以下の通りである。br\_\_a s y n c\_\_i nはエラー信号を非同期で入力する信号である。br\_\_a s y n c\_\_o u tはエラー信号を非同期で送信する信号である。br\_\_s y n c\_\_i nはブリッジ回路の状態を信号br\_\_s c kと同期して受信する入力信号である。br\_\_s y n c\_\_o u tはブリッジ回路の状態を信号br\_\_s c kと同期して送信する送信信号である。

【0037】メモリ・ブリッジ間バス34を介して入出力される信号(図の×付き□で示される端子からの入出力信号)は以下の通りである。メモリ制御信号、例えばm\_\_r e s bはリセット信号、m\_\_w eは書き込み制御信号、m\_\_b sはモジュール選択信号である。m\_\_c kはクロック信号、m\_\_dはメモリへの書き込みデータ、m\_\_aはアクセスアドレス信号、m\_\_qはメモリからの読み出しデータである。

【0038】内部バス8を介して入出力される通常動作時の信号(図の□の端子からの入出力信号)は以下の通りである。メモリ制御信号、例えばr e s bはリセット信号、w eは書き込み制御信号、b sはモジュール選択信号である。c kはクロック信号、dは入力データ、aはアドレス信号、qはメモリ出力データである。

【0039】マルチプレクサm u xは内部バス8又は共通テストバス31の何れをブリッジ・メモリ間バス34に接続するかを信号t eにより選択する。セクタs e lはメモリからの読み出しデータを内部バス8に出力するか又はテスト用の後述する比較回路38に供給するかを信号t eにより選択する。

【0040】データ展開回路35は共通テストバス31から4ビット単位で供給されるテストデータ情報としての書き込みデータt\_\_dを対応メモリに固有のデータm\_\_dの並列ビット数すなわちアクセスデータ幅に展開して後段に出力する。例えば4ビットのテストデータ情報をt\_\_dを16ビットにデータ展開する回路は、テストデータ情報t\_\_dの各ビットを夫々4ビットに拡張して、テストデータ情報t\_\_dを4組並列させて出力する拡張経路によって構成すればよい。これにより、4ビットのテストデータ情報をt\_\_dのパターンを繰り返す形態でデータ展開が行なわれる。データ展開を行なうときの繰返し数は対応メモリのアクセスデータ幅に応じて固定的に決定すれば充分である。

【0041】アドレス変換回路36は、前記共通テストバス31からのテストアドレス情報t\_\_aを対応するメモリに固有のビット配列に変換して後段に出力する。変換するビット配列の種別、ここではアドレススキャン方向に応ずるビット配列は信号b r\_\_s mで指定可能になっている。オーバーフローチェック回路37はアドレス変換回路36で変換したアドレスが対応するメモリのアドレス範囲を超えたか否かを検出し、越えたことを検出したときはモジュール選択信号m\_\_b sを非選択レベルに反転させる。

【0042】メモリテストにおいて、データ展開回路35で展開されたデータm\_\_dが、アドレス変換回路36で変換されたアドレスm\_\_aに書き込まれる。書き込まれたデータがメモリから読み出されると、戻りデータm\_\_qとしてブリッジ回路21(22, 23)に入力される。戻りデータm\_\_qはセクタs e lを介して比較回路38に、期待値データb r\_\_r e fは展開回路39を介して前記比較回路38に供給され、両入力データの一致/不一致が判別される。比較出力は不一致で論理値”0”から論理値”1”に反転される。要するに、これによってテストエラーの発生が検出される。テストエラーの発生が検出されると、不良情報すなわちエラー情報として、エラーに係るテストアドレス情報t\_\_aがアドレスラッチ回路40にラッチされ、比較結果ラッチ回路41がセット状態にされ、その出力であるエラーフラグE F L Gが論理値”1”にされる。夫々のラッチ動作はテスト用のクロック信号t\_\_c kに同期される。

【0043】取得された不良情報の外部出力は、スキャンバスの一部を構成するシフトレジスタ42及び論理和ゲート(OR)43によって行う。

【0044】論理和ゲート43は比較回路38による比較結果と前段ブリッジ回路からの比較回路による比較結果との論理和を形成して出力する。したがって、複数のメモリ11~15に対しテストデータ情報を与えながらテストアドレス情報を更新して、アドレススキャンを伴う並列テストを逐次進めていく途上で、比較回路38による比較不一致のエラーを何れかのメモリで生ずると、その変化は最終段ブリッジ回路25の出力信号b r\_\_a s y n c\_\_o u tに反映される。この最終段出力をテストコントローラ9を経由して外部のテスト等でモニタすることにより、複数メモリに対する並列テストを行いながら、テストの継続/中止の判定(Go/No go判定)を行なうことができる。

【0045】前記シフトレジスタ42はそれぞれフリップフロップが直列配置された直列接続形態の第1FFチェーン42A及び第2FFチェーン42Bによって構成される。第2FFチェーン42Bはアドレスラッチ回路40がラッチしたアドレス情報を並列にラッチし、第1FFチェーン42AはエラーフラグE F L Gをラッチする。シフトレジスタ42にラッチされた不良情報はスキャンクロックb r\_\_s c kに同期してブリッジ回路間を渡って状態送受信信号線32からテストコントローラ9に供給される。この不良情報のスキャンバス出力動作は、例えば、前記最終段ブリッジ回路25の出力信号b r\_\_a s y n c\_\_o u tによってエラー発生を検出したとき、テストコントローラ9がテストの継続を停止した後に行なえばよい。尚、アドレスラッチ回路40及び比較結果ラッチ回路41からラッチデータがシフトレジスタ42にロードされるタイミングはスキャンクロックb r\_\_s c kの最初のパルス変化に同期される。それ以降

シフトレジスタ 42 は信号 `br_resb` でリセットされるまでラッチ回路 40、41 の出力を取り込まず、スキャンクロック `br_sck` の変化に同期してデータシフト動作を行なうだけとされる。

【0046】前記スキャンパス出力動作において、テストコントローラ 9 の出力を受けるテスト（図示を省略）はスキャンクロック `br_sck` を計数しながら、`br_async_out` からエラーフラグ `ELG` を監視し、論理値“1”を検出したときのスキャンクロック `br_sck` 計数値からエラー発生元のメモリを識別できる。各ブリッジ回路 21～25 におけるシフトレジスタ 42 のシフト段数は予め分かっているからである。また、前記テストは、論理値“1”のエラーフラグ `ELG` 直前のアドレス情報を `br_sync_out` から取得することによりエラー発生に係るメモリアドレスを識別することができる。

【0047】図 5 にはアドレス変換回路 36 の一例が示される。このアドレス変換回路 36 は 1KW×16 ビットのメモリ 11 に対応するブリッジ回路 21 内蔵の回路構成である。入力アドレス信号 `t_a[9:0]` と `m_a[9:0]` の配列変更は数線論理 44 で固定的に行ない、X スキャン、C スキャン、Y スキャンの 3 通りに配列変更を行なう。3 態様の内の出力態様の選択は 2 ビットの信号 `br_sm` に従ってセクタ 45 で行なう。図 5 の配列変更論理は図 3 のメモリ 11 におけるアドレスデコード論理に則している。この場合、X スキャンはアドレスインクリメントによる基本的なスキャン方向が X 方向、Y スキャンはアドレスインクリメントによる基本的なスキャン方向が Y 方向、C スキャンはアドレスインクリメントによるスキャン方向が前のアドレスで参照されたメモリセルと接しない方向であることを意味する。

【0048】図 6 にはテストコントローラ 9 の入出力情報が例示される。テストコントローラ 9 からマイクロコンピュータ 1 の外部に引き出されている信号は図示を省略するテストとインタフェースされる。テストコントローラ 9 はテストアドレス情報を順次インクリメントして生成するアドレスカウンタ 47 を有する。アドレスカウンタ 47 の計数初期値はテスト制御信号で与えられる。

【0049】図 7 にはデュアルポート用のブリッジ回路 24、25 の基本的構成が例示される。図 4 との相違点はテスト共通バス 31 を介するテスト対象ポートの選択機能とデュアルポートテスト共通バス 33 を介するディスタート情報入力機能を有する点である。

【0050】メモリテスト時に使用する共通テストバス 31 からの入力情報（図に示される■の端子からの入力信号）は図 4 と同じである。前記状態送受信信号線 32 からの入出力信号（図に二重の□で示される端子からの入出力信号）は図 4 と同じである。メモリテスト時に使用するデュアルポート共通信号線 33 からの入力信号（図の斜線付き□で示される端子からの入力信号）は以

下の通りである。メモリ制御信号、例えば `td_resb` はリセット信号、`td_we` は書き込み制御信号、`td_bs` はモジュール選択信号である。`td_ck` はクロック信号、`td_d` はディスタート情報としてのテストデータ信号、`td_a` は 1 ビットのアドレス信号である。`br_chport` はデュアルポートのどちらを共通テストバス 31 に対応させ、どちらをデュアルポート共通テストバス 33 に対応させるかを制御する制御信号である。

【0051】メモリ・ブリッジ間バス 34 を介して入出力される信号（図の×印付き□の端子からの入出力信号）は以下の通りである。`m_resb` はリセット信号である。第 1 のアクセスポートに対応するメモリ制御信号、例えば `m_wep1` は書き込み制御信号、`m_bs p1` はモジュール選択信号である。更に第 1 のポートに対応して、`m_ck p1` はクロック信号、`m_dp1` はデータ、`m_ap1` はアドレス、`m_qp1` はメモリからの読み出しデータである。第 2 のアクセスポートに対応するメモリ制御信号、例えば `m_wep2` は書き込み制御信号、`m_bs p2` はモジュール選択信号である。更に第 2 のアクセスポートに対応して、`m_ck p2` はクロック信号、`m_dp2` はデータ、`m_ap2` はアドレス、`m_qp2` はメモリからの読み出しデータである。

【0052】内部バス 8 を介して入出力される通常動作時の信号（図の□の端子からの入出力信号）は以下の通りである。`resb` はリセット信号である。第 1 のアクセスポートに対応するメモリ制御信号、例えば `we p1` は書き込み制御、`bs p1` はモジュール選択信号である。更に当該第 1 のアクセスポートに対応して、`ck p1` はクロック信号、`dp1` は書き込みデータ、`ap1` はアドレス信号、`qp1` は読み出しデータである。第 2 のアクセスポートに対応するメモリ制御信号、例えば `we p2` は書き込み制御、`bs p2` はモジュール選択信号である。更に当該第 2 のアクセスポートに対応して、`ck p2` はクロック信号、`dp2` は書き込みデータ、`ap2` はアドレス信号、`qp2` は読み出しデータである。

【0053】ポート選択回路 50 は、共通テストバス 31 を第 1 のアクセスポートと第 2 のアクセスポートのどちらに接続し、デュアルポート共通テストバス 33 を第 1 のアクセスポートと第 2 のアクセスポートのどちらに接続するかを、信号 `br_chport` に従って選択する。マルチプレクサ `mux` はアクセスポートをテストに用いるのか通常動作に用いるのかを信号 `te` に基づいて選択する。セクタ `sel` はメモリからの読み出しデータを内部バス 8 に出力するか又はテスト用の比較回路 38 に供給するかを信号 `te` により選択する。ポート選択回路 51 はデータ `m_qp1` 又は `m_qp2` の何れを比較回路 38 に供給するかを信号 `te` により選択する。

【0054】データ展開回路 52 は共通テストバス 31

から4ビット単位で供給されるテストデータ情報としての書き込みデータ  $t\_d$  を対応メモリに固有のデータ  $m\_dp1$ ,  $m\_dp2$  の並列ビット数すなわちアクセスデータ幅に展開する。更にデータ展開回路52は、 $t\_d$  の論理値“1”に応答して展開したデータ  $t\_d$  の全ビット反転データを生成する。展開されたテストデータ情報は信号  $br\_chport$  によりポート選択回路で選択された一方のアクセスポートに供給され、反転データは他方のアクセスポートに供給される。

【0055】アドレス変換回路53は、前記共通テストバス31からのテストアドレス情報  $t\_a$  を対応するメモリに固有のビット配列に変換して後段に出力する。変換するビット配列の種別、ここではアドレススキャン方向に応ずるビット配列は信号  $br\_sm$  で指定可能になっている。更にアドレス変換回路53は、 $t\_d\_a$  の論理値“1”に応答して変換されたアドレス  $t\_a$  の最下位ビットを反転して隣接メモリセルのアドレスを生成する。ビット配列が変換されたテストアドレス情報は信号  $br\_chport$  によりポート選択回路で選択された一方のアクセスポートに供給され、最下位ビット反転アドレス情報は他方のアクセスポートに供給される。

【0056】上記データ展開及びアドレス変換機能により、一方のアクセスポートを介してメモリテストが行なわれるとき、他方のアクセスポートからテスト対象メモリセルに隣接するメモリセルを指定してディスタ urb 情報を与えることができ、デュアルポートメモリにおけるポート間干渉をテストすることが可能になる。

【0057】図8には上記ポート間干渉テストの動作モードが示される。図8において第1アクセスポートのアドレス（ポート1アドレス）は  $m\_ap1$ 、第1アクセスポートのデータ（ポート1データ）は  $m\_dp1$  を意味する。第2アクセスポートのアドレス（ポート2アドレス）は  $m\_ap2$ 、第2アクセスポートのデータ（ポート2データ）は  $m\_dp2$  を意味する。

【0058】図7のデュアルポートメモリ用のブリッジ回路においてもリードデータと期待値データとの比較によるエラー判定、エラー判定結果に対するスキャンパス出力などの機能は図4と同じであり、同一機能を有する回路ブロックには同じ参照符号を付してその詳細な説明を省略する。

【0059】図9にはメモリブロック7に対する並列テスト時における一つのシングルポートメモリの動作タイミングチャートが例示される。アドレス  $a$ ,  $a1$ ,  $a2$  に対してデータ  $d0$ ,  $d1$ ,  $d2$  が書き込まれ、その後、アドレス  $a$ ,  $a1$ ,  $a2$  からデータが読み出される。読み出しデータは期待値データ  $d0$ ,  $dx$ ,  $d2$  と比較される。このとき、期待値データ  $dx$  との比較で不一致が検出され、信号  $br\_async\_out$  が変化される。これに回答して、外部のテストからテスト結果のスキャンアウトが指示されると、クロック  $br\_sc$

$k$  に同期して不一致アドレス情報などのエラー情報が  $br\_sync\_out$  として出力される。

【0060】図10にはメモリブロック7に対する並列テスト時における一つのデュアルポートメモリにおけるポート間干渉動作のタイミングチャートが例示される。アドレス  $a$ ,  $a1$ ,  $a2$  に対してポート1からデータ  $d0$ ,  $d1$ ,  $d2$  が書き込まれ、その後、アドレス  $a$ ,  $a1$ ,  $a2$  のデータ  $q0$ ,  $q1$ ,  $q2$  がポート1から読み出される。読み出しデータは期待値データ  $r0$ ,  $r1$ ,  $r2$  と比較される。ポート1に対する書き込み及び読み出し動作に並行して、ポート2には  $i0$ ,  $i1$ ,  $i2$  といったディスタ urb 情報が与えられる。

【0061】図11には上記マイクロコンピュータ1等の半導体集積回路に対するテスト方法のフローチャートが例示される。まず、ブリッジ回路の外部回路、例えばテストからテスト制御情報が与えられる。信号  $te$  により共通テストバスから与えられるテスト用信号が選択され（S1）、書き込みデータがデータ展開され（S2）、書き込みアドレスに対するビット配列のアドレス変換が行われる（S3）。アドレス変換結果に対してはアドレスのオーバーフローチェックが行なわれる。メモリにはビット配列が変換されたアドレス信号に基づいて書き込みデータが書き込まれる（S4）。書き込みの後、書き込みを行なったアドレスからデータ（戻り値  $q$ ）を読み出し、これを期待値  $br\_ref$  と比較する（S5）。比較結果が一致であれば処理を終了する（正常終了）。比較結果が不一致であれば、信号  $br\_async\_out=1$  が出力され（S6）、エラーフラグ  $EFLG$  がラッチ回路41にラッチされ（S7）、エラー発生アドレスがラッチ回路40にラッチされる（S8）。その後、クロック  $br\_sc$  が供給され（S9）、これに同期してエラーフラグとエラー発生アドレスがスキャンアウトされる（S10）。最後にスキャンレジスタ42及びラッチ回路40, 41がクリアされて（S11）、処理が終了される。

【0062】以上説明したマイクロコンピュータ1によれば以下の作用効果を得ることができる。

【0063】〔1〕アクセスデータ幅の異なる複数のメモリ11～15に対してテストデータ情報を並列に供給しても、ブリッジ回路21～25のデータ展開回路35, 52がテストデータ情報を対応メモリに固有のアクセスデータ幅に変換する。また、アドレスデコード論理の異なる複数のメモリ11～15に対してテストアドレス情報を並列に供給しても、ブリッジ回路21～25のアドレス変換回路36, 53がテストアドレス情報を対応メモリに固有のビット配列に変換する。したがって、アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給することができるという点、テストアドレス情報に対する夫々のメモリにおけるアドレススキャン方向を固有のビット配列にしたがって特定方

向に統一することが可能になるという点において、複数のオンチップメモリに対するマーチパターンなどによるメモリテスト効率を向上させることができる。

【0064】〔2〕前記ブリッジ回路21～25はメモリ11～15からの読み出し情報と共通テストバス31からの期待値情報とを比較回路38で比較し、その比較結果に従ってメモリの不良情報をアドレスラッチ回路40及び比較結果ラッチ回路41にラッチする。不良アドレスはアドレスラッチ回路40に、不良の比較結果はエラーフラグEFLGとして比較結果ラッチ回路41にラッチされる。したがって、複数のメモリに対する並列テスト結果をラッチ回路40、41から順次直列的に得ることが可能である。ラッチ回路40、41のラッチ情報を外部に出力する手段としてスキャンパス用のシフトレジスタ42を採用すれば並列テスト結果をラッチ回路40、41から順次外部出力させることが容易になる。

【0065】このとき、スキャンパスのエラーフラグEFLGのラッチ回路41をエラーアドレスラッチ回路40よりもスキャンパスの上流側に配置する。従って、エラーフラグEFLGが現れるまでスキャンクロックを計数していけば、その計数値に基づいてエラー発生メモリを特定することができ、その直前のアドレス情報によってエラー発生メモリにおけるエラー発生アドレスを特定することができる。このように、不良発生の所在を明らかにすることが容易である。

【0066】〔3〕前記ブリッジ回路21～25は、比較回路38による比較結果に別のブリッジ回路からの比較結果出力との論理和を採り更に別のブリッジ回路に出力する論理和ゲート43を有するから、複数のブリッジ回路21～25における論理和ゲート43を、前段論理和ゲートの出力が次段論理和ゲートの入力に接続するように直列形態に接続して構成すれば、複数のメモリ11～15に対しテストデータ情報を更新しながらテストアドレス情報を更新して、アドレススキャンを伴う並列テストを逐次進めていく途上で、比較不一致によるエラーを何れかのメモリで生じたとき、最終段論理和ゲート43の出力モニタすることにより、複数メモリに対する並列テストを行いながら、テストの継続／中止の判定（Go / Nogo判定）を行なうことができる。

【0067】〔4〕マルチポートメモリ14、15に対応されるブリッジ回路24、25は、前記共通テストバス31に接続するポートに対して共通テストバス31に非接続が選択されたポートにディスタブ情報を入力可能であるから、マルチポートを持つ場合にはポート間干渉のテストを併用でき、マルチポートメモリに対するテストの信頼性を向上させることができる。

【0068】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0069】例えば、メモリブロックに含まれるメモリの数、メモリの記憶容量、データアクセス幅、情報記憶形式等について適宜変更可能である。メモリはSRAMに限定されず、DRAMであっても、或は不揮発性メモリであってもよい。メモリ以外の回路ブロックは図2に示されるMPUなどに限定されず適宜変更可能である。マルチポートメモリはデュアルポートを持つ構成に限定されず、それよりも多くのポートを備えてもよい。

【0070】

10 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0071】すなわち、アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給しても、ブリッジ回路がテストデータ情報を対応メモリに固有のアクセスデータ幅に変換することができる。また、アドレスデコード論理の異なる複数のメモリに対してテストアドレス情報を並列に供給しても、ブリッジ回路がテストアドレス情報を対応メモリに固有のビット配列に変換することができる。したがって、アクセスデータ幅の異なる複数のメモリに対してテストデータ情報を並列に供給することができるという点、テストアドレス情報に対する夫々のメモリにおけるアドレススキャン方向を固有のビット配列にしたがって特定方向に統一することが可能になるという点において、複数のオンチップメモリに対するマーチパターンなどによるメモリテスト効率を向上させることができる。複数のメモリに対するテスト時間を短縮することができる。

【図面の簡単な説明】

30 【図1】本発明に係る半導体集積回路が有するメモリブロックの詳細を例示するブロック図である。

【図2】本発明に係る半導体集積回路の一例であるマイクロコンピュータの平面的構成説明図である。

【図3】メモリの異なるデコード論理を例示する説明図である。

【図4】シングルポートメモリ用のブリッジ回路の基本的構成を例示するブロック図である。

【図5】アドレス変換回路の一例を示す回路図である。

40 【図6】テストコントローラの入出力情報を例示する説明図である。

【図7】デュアルポート用のブリッジ回路の基本的構成を例示するブロック図である。

【図8】ポート間干渉テストの動作モードを例示する説明図である。

【図9】メモリブロックに対する並列テスト時における一つのシングルポートメモリの動作タイミングチャートである。

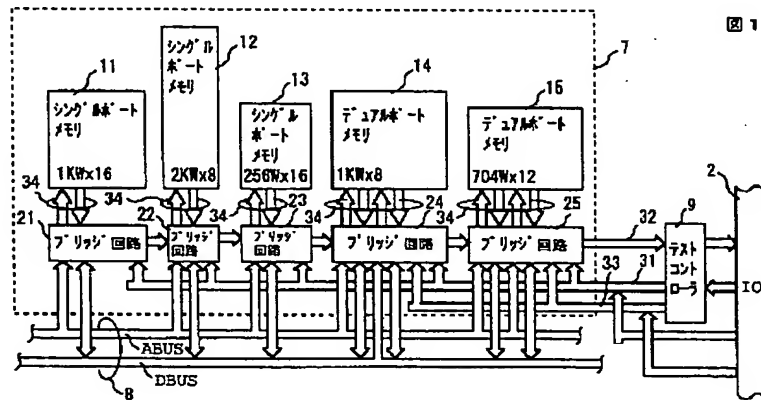
50 【図10】メモリブロックに対する並列テスト時における一つのデュアルポートメモリにおけるポート間干渉動作のタイミングチャートである。

【図11】図1のマイクロコンピュータ等の半導体集積回路に対するテスト方法のフローチャートである。

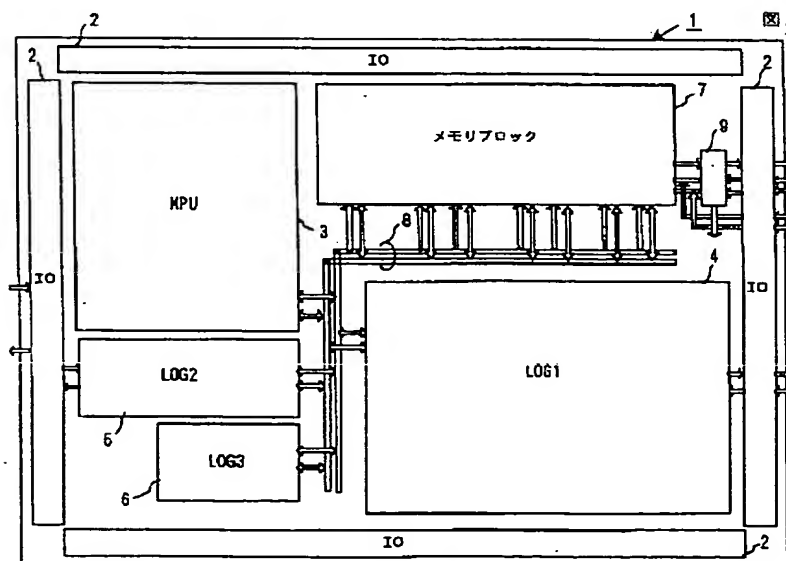
【符号の説明】

- |        |            |    |                |
|--------|------------|----|----------------|
| 1      | マイクロコンピュータ | 32 | 状態送受信信号線       |
| 3      | マイクロプロセッサ  | 33 | デュアルポート共通テストバス |
| 7      | メモリブロック    | 34 | メモリ・ブリッジ間バス    |
| 8      | 内部バス       | 35 | データ展開回路        |
| 9      | テストコントローラ  | 36 | アドレス変換回路       |
| 11～13  | シングルポートメモリ | 38 | 比較回路           |
| 14, 15 | デュアルポートメモリ | 40 | アドレスラッチ回路      |
| 21～25  | ブリッジ回路     | 41 | 比較結果ラッチ回路      |
| 31     | 共通テストバス    | 42 | シフトレジスタ        |
|        |            | 43 | 論理和ゲート         |
|        |            | 52 | データ展開回路        |
|        |            | 53 | アドレス変換回路       |

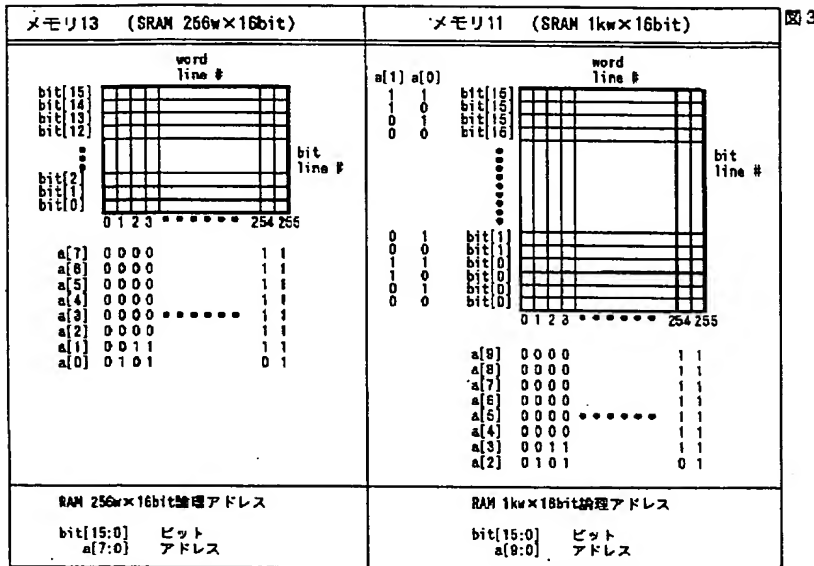
【図1】



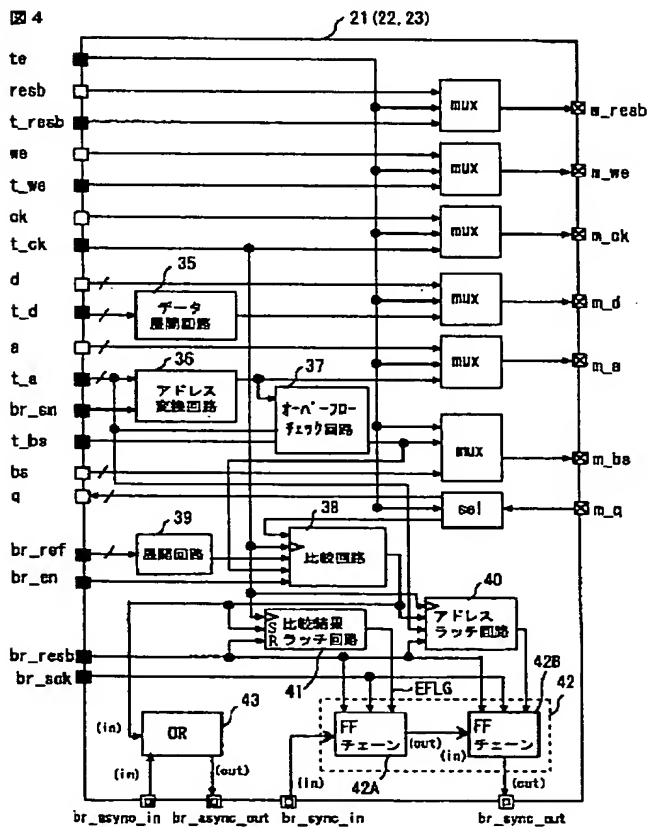
【図2】



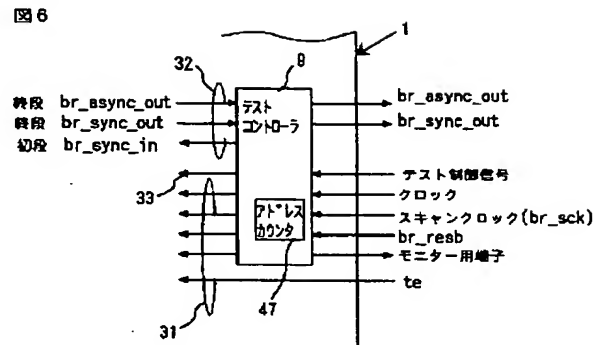
【図3】



【図4】



【図6】



【図 5】

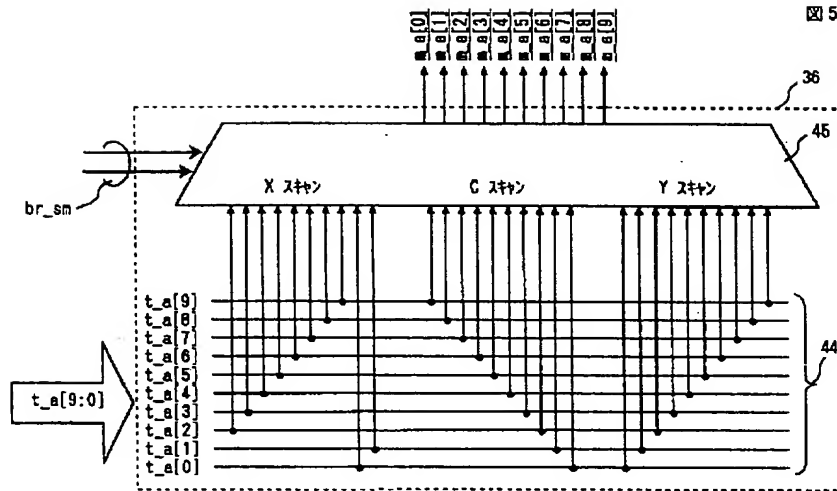


図 5

【図 7】

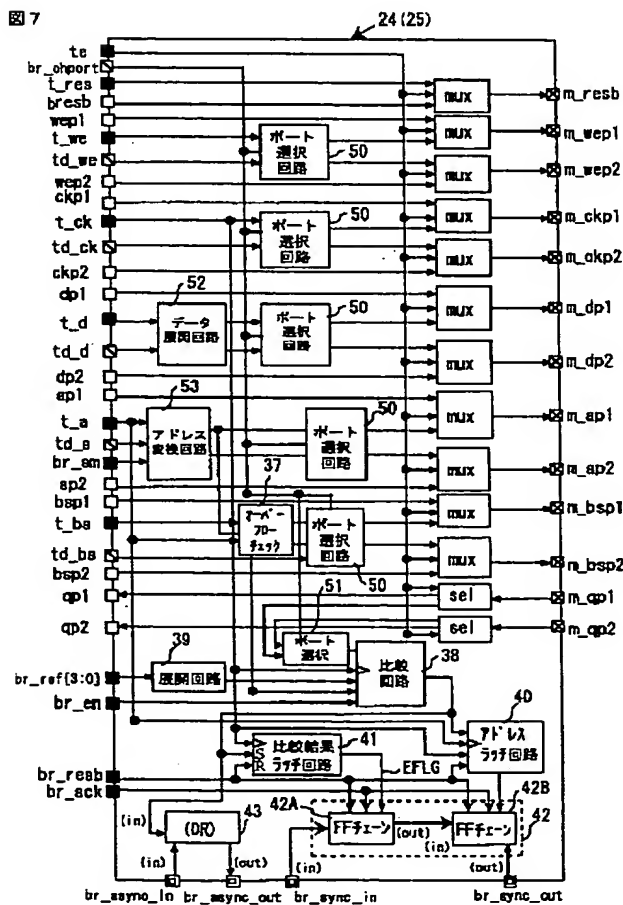


図 7

【図 10】

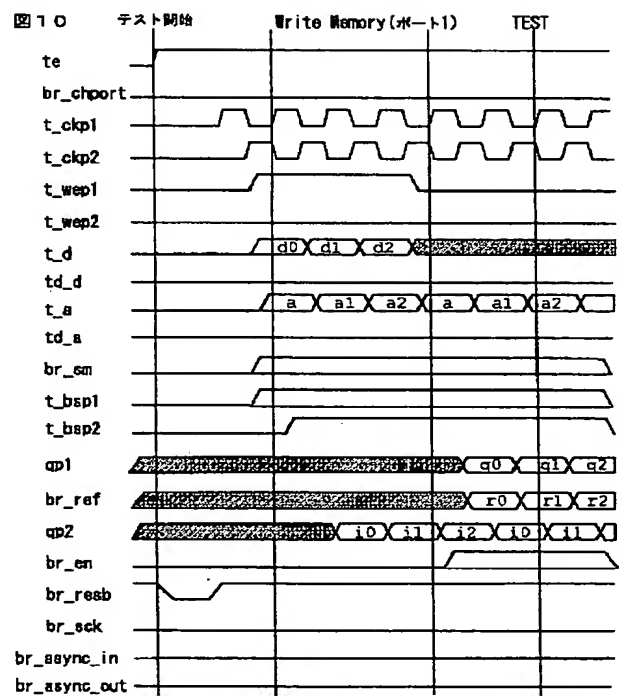


図 10

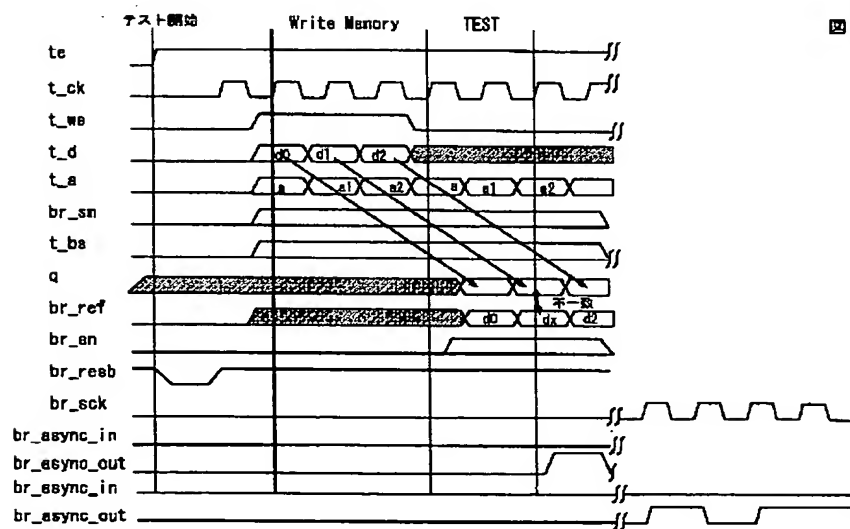
【図8】

図8

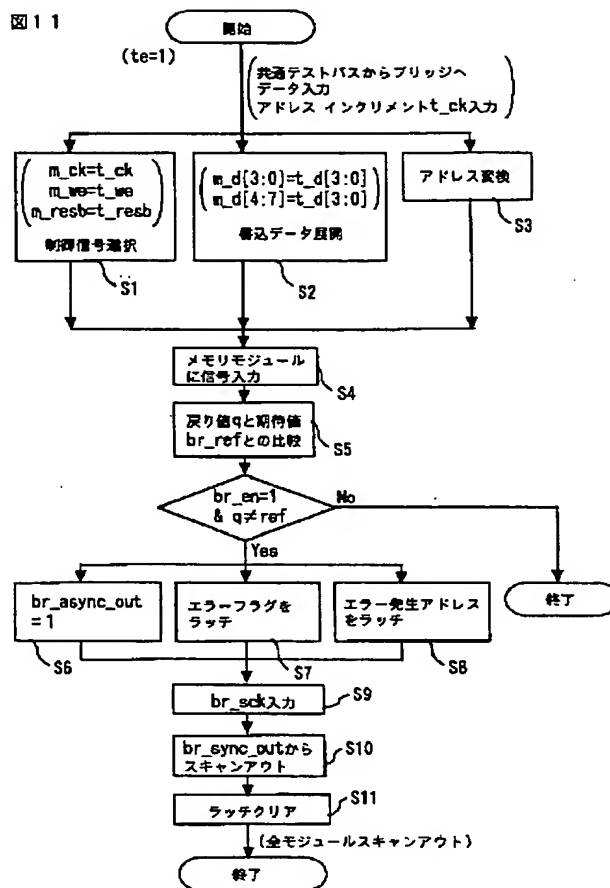
br_chport	td_a	td_d	ポート1アドレス	ポート1データ	ポート2アドレス	ポート2データ
0	0	0	t_a	t_d	t_a	t_d
0	0	1	t_a	t_d	t_a	t_dの全ビット反転
0	1	0	t_a	t_d	t_aの下位1bit反転	t_d
0	1	1	t_a	t_d	t_aの下位1bit反転	t_dの全ビット反転
1	0	0	t_a	t_d	t_a	t_d
1	0	1	t_a	t_dの全ビット反転	t_a	t_d
1	1	0	t_aの下位1bit反転	t_d	t_a	t_d
1	1	1	t_aの下位1bit反転	t_dの全ビット反転	t_a	t_d

【図9】

図9



11



(51) Int. Cl.<sup>7</sup>

F I  
G O 1 R 31/28

(72) 発明者	山田 利夫	
	東京都小平市上水本町五丁目20番1号	株
	式会社日立製作所半導体グループ内	
(72) 発明者	柳沢 一正	
	東京都小平市上水本町五丁目20番1号	株
	式会社日立製作所半導体グループ内	

(72) 発明者 早坂 隆  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

F ターム(参考) 2G132 AA00 AA08 AB01 AC03 AD06  
AH04 AH07 AK07 AK09 AK23  
AK24 AK29 AL09  
5B018 GA03 HA35 JA01 JA21 NA01  
NA06 NA07 QA13  
5L106 AA14 AA16 DD01 DD03 DD08  
GG01